

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-277604  
(43)Date of publication of application : 06.10.2000

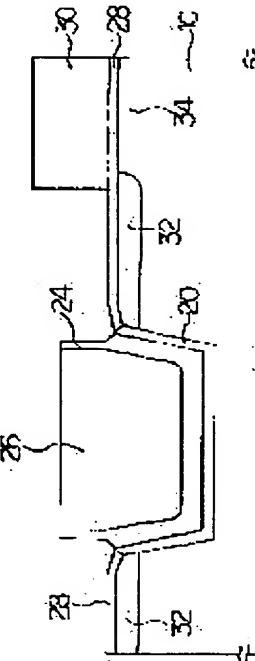
(51)Int.Cl. H01L 21/76

(21)Application number : 11-078963 (71)Applicant : SONY CORP  
(22)Date of filing : 24.03.1999 (72)Inventor : TAKAGI YOSHIKO

**(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device and its manufacturing method which can prevent deterioration of element characteristic and reliability which are to be caused by phenomena that a trench filling insulating material which is protruded in a protruding shape is largely hollowed from its side surface, and a trench top corner part of a semiconductor substrate is exposed, in a semiconductor device of a trench insulating type and its manufacturing method.



**SOLUTION:** A trench is formed in an element isolating region of a semiconductor substrate 10, and the inner wall of the trench is covered with silicon oxide films 20 and 24. The inside of the trench is filled with a CVD oxide film 26 as trench filling insulating material. The upper part of the CVD oxide film 26 is protruded in a protruding shape from the surface of the semiconductor substrate 10 of an element forming region, and the sidewall of the protruded upper part is covered with a silicon oxide film 24 as a barrier insulating film whose etching resistance is higher than that of the CVD oxide film 26.

**LEGAL STATUS**

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-277604  
(P2000-277604A)

(43)公開日 平成12年10月6日 (2000.10.6)

(51)Int.Cl.  
H 01 L 21/76

識別記号

F I  
H 01 L 21/76

テーマコード(参考)  
L 5 F 0 3 2

審査請求 未請求 請求項の数 8 ○L (全 17 頁)

(21)出願番号 特願平11-78963

(22)出願日 平成11年3月24日 (1999.3.24)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 高木 賀子

東京都品川区北品川6丁目7番35号 ソニー  
一株式会社内

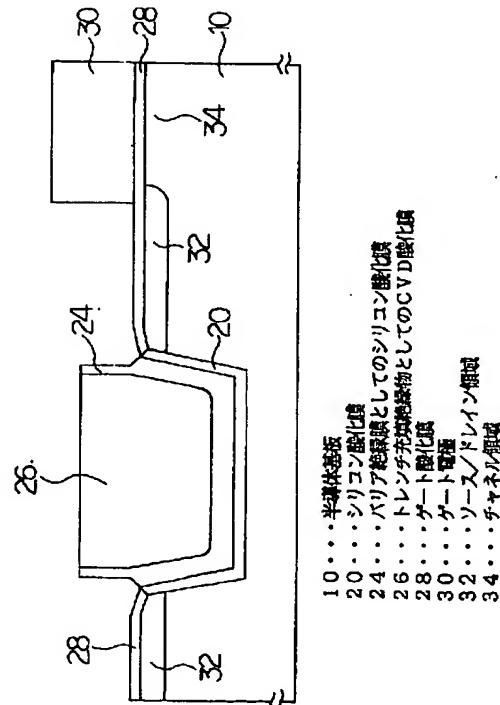
Fターム(参考) 5F032 AA36 AA44 AA45 AA74 CA17  
DA02 DA04 DA23 DA24 DA25  
DA27 DA28 DA33 DA53

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 本発明は、トレンチ絶縁型の半導体装置及びその製造方法において、トレンチ絶縁型の半導体装置及びその製造方法において、凸形状に突出しているトレンチ充填絶縁物がその側面から大きくえぐられて半導体基板のトレンチトップコーナー部が露出することに起因する素子特性や信頼性の劣化を防止することができる半導体装置及びその製造方法を提供することを目的とする。

【解決手段】 半導体基板10の素子分離領域にトレンチが形成され、その内壁はシリコン酸化膜20及びシリコン酸化膜24によって被覆されている。このトレンチ内にはトレンチ充填絶縁物としてのCVD酸化膜26が充填されている。CVD酸化膜26の上部は素子形成領域の半導体基板10表面から凸形状に突出しており、その突出した上部の側壁はCVD酸化膜26よりもエッチング耐性の高いバリア絶縁膜としてのシリコン酸化膜24によって被覆されている。



## 【特許請求の範囲】

【請求項1】 半導体基板表面に形成されたトレンチ内に埋め込まれているトレンチ充填絶縁物によって素子領域が分離されている半導体装置であって、

前記トレンチ充填絶縁物の上部が、前記素子領域の前記半導体基板表面から凸形状に突出しており、

前記半導体基板表面から凸形状に突出している前記トレンチ充填絶縁物の側壁が、前記トレンチ充填絶縁物よりもエッチング耐性の高いバリア絶縁膜によって被覆されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記トレンチ充填絶縁物が、第1の酸化膜からなり、前記バリア絶縁膜が、前記第1の酸化膜より高密度の第2の酸化膜であることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記トレンチ充填絶縁物が、酸化膜からなり、前記バリア絶縁膜が、窒化膜であることを特徴とする半導体装置。

【請求項4】 半導体基板表面に形成されたトレンチ内に埋め込まれているトレンチ充填絶縁物によって素子領域が分離されている半導体装置の製造方法であって、前記半導体基板上に、パッド絶縁膜を介して絶縁膜を形成する第1の工程と、

前記絶縁膜及び前記パッド絶縁膜を選択的にエッチングして、素子分離領域に開口部を形成した後、前記開口部内に露出した前記半導体基板を選択的にエッチングして、前記トレンチを形成する第2の工程と、

前記トレンチ内壁、前記パッド絶縁膜側壁、及び前記絶縁膜側壁に、前記トレンチ充填絶縁物よりもエッチング耐性の高いバリア絶縁膜を形成する第3の工程と、前記バリア絶縁膜からなる前記トレンチ内に前記トレンチ充填絶縁物を埋め込む第4の工程と、

前記絶縁膜及び前記パッド絶縁膜を順にエッチング除去して、前記トレンチ内に埋め込んだ前記トレンチ充填絶縁物の上部を前記素子領域の前記半導体基板表面から凸形状に突出させると共に、前記半導体基板表面から凸形状に突出した前記トレンチ充填絶縁物の側壁に前記バリア絶縁膜を残存させる第5の工程と、を有することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、

前記パッド絶縁膜として、第1の酸化膜を用い、

前記絶縁膜として、窒化膜を用い、

前記第3の工程及び前記第4の工程が、前記トレンチを含む基体全面にポリシリコン膜を形成し、前記ポリシリコン膜を熱酸化して前記バリア絶縁膜としての第2の酸化膜を前記第1の酸化膜よりも厚く形成し、前記トレンチを含む基体全面に前記トレンチ充填絶縁物としての第3の酸化膜を形成して前記第2の酸化膜からなる前記トレンチ内を埋め込み、前記窒化膜表面が露出するまで前記トレンチ内を研磨除去して前記第2の酸化膜を残存させる工程であることを特徴とする半導体装置の製造方法。

記第3の酸化膜及び前記第2の酸化膜を研磨除去して前記第2の酸化膜からなる前記トレンチ内に前記第3の酸化膜を残存させる工程であることを特徴とする半導体装置の製造方法。

【請求項6】 請求項4記載の半導体装置の製造方法において、

前記パッド絶縁膜として、第1の酸化膜を用い、前記絶縁膜として、窒化膜を用い、

前記第3の工程が、前記トレンチを含む基体全面に前記トレンチ充填絶縁物よりもエッチング耐性の高いバリア絶縁膜としての第2の酸化膜を前記第1の酸化膜よりも厚く形成する工程であり、

前記第4の工程が、前記トレンチを含む基体全面に前記トレンチ充填絶縁物としての第3の酸化膜を形成して前記第2の酸化膜からなる前記トレンチ内を埋め込み、前記窒化膜表面が露出するまで前記第3の酸化膜及び前記第2の酸化膜を研磨除去して前記第2の酸化膜からなる前記トレンチ内に前記第3の酸化膜を残存させる工程であることを特徴とする半導体装置の製造方法。

【請求項7】 請求項4記載の半導体装置の製造方法において、

前記パッド絶縁膜として、第1の酸化膜を用い、前記絶縁膜として、ポリシリコン膜を用い、

前記第3の工程が、前記トレンチを含む基体全面に前記トレンチ充填絶縁物よりもエッチング耐性の高いバリア絶縁膜としての窒化膜を形成する工程であり、

前記第4の工程が、前記トレンチを含む基体全面に前記トレンチ充填絶縁物としての第2の酸化膜を形成して前記窒化膜からなる前記トレンチ内を埋め込み、前記ポリシリコン膜表面が露出するまで前記第2の酸化膜及び前記窒化膜を研磨除去して前記窒化膜からなる前記トレンチ内に前記第2の酸化膜を残存させる工程であることを特徴とする半導体装置の製造方法。

【請求項8】 請求項4記載の半導体装置の製造方法において、

前記第2の工程の後、前記第3の工程の前に、前記トレンチ内に露出する前記パッド絶縁膜を横方向にエッチングして、前記半導体基板のトレンチトップコーナー部を露出した後、露出している前記トレンチの内壁及び前記トレンチトップコーナー部の前記半導体基板表面を熱酸化して、酸化膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法に係り、特に微細集積化が進行した半導体集積回路が絶縁層を充填形成したトレンチによって絶縁分離されているトレンチ絶縁分離型の半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】例えば微細集積化が進行したメモリ素子等の半導体集積回路においては、各半導体素子間又は半導体素子内における所要部間の絶縁分離を絶縁層が充填形成されたトレンチによって行う、いわゆるトレンチ絶縁分離が広く行われている。

【0003】以下、従来のトレンチ絶縁分離型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の製造方法を、図14～図23の工程断面図を用いて説明する。例えば単結晶シリコン基板からなる半導体基板50表面を熱酸化して、シリコン酸化膜(SiO<sub>2</sub>膜)、いわゆるパッド酸化膜52を形成する。更に、このパッド酸化膜52上にシリコン窒化膜54を被着形成する。こうして、パッド酸化膜52及びシリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)54からなる積層膜を形成する(図14参照)。

【0004】次いで、シリコン窒化膜54上に塗布したレジスト層56をフォトリソグラフィ技術を用いてパターニングし、素子形成領域にレジスト層56を残存させた後、この素子形成領域を被覆するレジスト層56をエッティングマスクとして、異方性エッティング法、例えばRIE (Reactive Ion Etching; 反応性イオンエッティング) 法により、シリコン窒化膜54及びパッド酸化膜52を連続して選択的にエッティング除去して、素子分離領域のシリコン窒化膜54及びパッド酸化膜52を貫通する開口部を形成し、この開口部内に半導体基板50表面を露出させる(図15参照)。

【0005】次いで、レジスト層56を除去した後、シリコン窒化膜54をマスクとして、開口部内に露出した素子分離領域の半導体基板50を選択的にエッティングして掘り込み、素子分離領域の半導体基板50表面にトレンチ58を形成する(図16参照)。

【0006】次いで、ウェットエッティング法により、半導体基板50とシリコン窒化膜54とに上下を挟まれ、トレンチ58内に側壁が露出しているパッド酸化膜52を横方向にエッティングして、パッド酸化膜52がトレンチ58側壁から横方向にえぐられた窪みを形成し、トレンチ58側壁をなす半導体基板50の傾斜した表面が素子形成領域の半導体基板50の水平な表面と交差する角形状のトレンチトップコーナー部Bを露出させる(図17参照)。

【0007】次いで、熱酸化処理を行い、外部に露出した半導体基板50表面、即ちトレンチ58の側壁及び底面(以下、これらをまとめて「内壁」という)並びにトレンチトップコーナー部Bの半導体基板50表面を熱酸化し、シリコン酸化膜60を形成する。こうして、この半導体基板50のトレンチトップコーナー部Bの角形状を丸める(図18参照)。

【0008】次いで、CVD (Chemical Vapor Deposition; 化学的気相成長) 法により、トレンチ58を含む基板全面にCVD酸化膜66を形成し、このCVD酸化

膜66によってトレンチ58を埋め込む。なお、このとき、トレンチトップコーナー部B近傍のパッド酸化膜52が横方向にえぐられた窪みにも、CVD酸化膜66が充填される(図19参照)。

【0009】次いで、CMP (Chemical Mechanical Polishing; 化学的機械的研磨) 法により、CVD酸化膜66を平坦に研磨除去して、シリコン窒化膜54表面を露出させる。即ち、このCMPにおいて、シリコン窒化膜54をCVD酸化膜66の研磨に対するストップとして使用する(図20参照)。

【0010】次いで、ホットリソ酸液を用いるウェットエッティング法により、シリコン窒化膜54をエッティング除去する。こうして、素子形成領域の半導体基板50を被覆するパッド酸化膜52を露出させる。同時に、素子分離領域のトレンチ58内に充填されたCVD酸化膜66の上部をパッド酸化膜52から凸形状に突出させる(図21参照)。

【0011】次いで、ライトエッティングによりパッド酸化膜52を除去して、下地の半導体基板50表面を露出させる。こうして、素子分離領域に形成されたトレンチ内に充填されているCVD酸化膜66等による素子形成領域のトレンチ絶縁分離を完成させる。

【0012】なお、このパッド酸化膜52のライトエッティングの際に、このパッド酸化膜52よりもエッティング速度が大きいCVD酸化膜66の凸形状に突出している上部は、その側面から大きくえぐられるようにエッティングされる。このため、トレンチトップコーナー部B近傍のCVD酸化膜66及びシリコン酸化膜60もエッティング除去され、このトレンチトップコーナー部Bの半導体基板50が露出されることになる(図22参照)。

【0013】次いで、素子形成領域の半導体基板50上にスルーアル酸化膜(図示せず)を形成した後、イオン注入法により、半導体基板50に所定の不純物イオンを選択的に注入して、所定の導電型のウェル領域を形成する。その後、ライトエッティングによりスルーアル酸化膜を除去する。そして、このスルーアル酸化膜のライトエッティングの際にも、素子分離領域のCVD酸化膜66はその凸形状に突出している上部がその側面から大きくえぐられるようにエッティングされ、トレンチトップコーナー部Bの半導体基板50は益々大きく露出されることになる。

【0014】続いて、素子形成領域の半導体基板50表面を熱酸化してゲート酸化膜68を形成した後、このゲート酸化膜68上にポリシリコン層からなるゲート電極70を形成する。更に、イオン注入法により、このゲート電極70をマスクとして、素子形成領域の半導体基板50に所定の不純物イオンを選択的に注入して、所定の導電型のソース/ドレイン領域72を形成する。

【0015】こうして、素子分離領域のトレンチ58内に充填されたCVD酸化膜66等によってトレンチ絶縁分離された素子形成領域に、半導体基板50表面層に相

対して形成された一対のソース／ドレイン領域72と、これら一対のソース／ドレイン領域72に挟まれたチャネル領域74上にゲート酸化膜68を介して形成されたゲート電極70とから構成されるMOSFETを形成する（図23参照）。

【0016】

【発明が解決しようとする課題】ところで、上記従来のトレンチ絶縁分離型MOSFETの製造プロセスにおいては、素子分離領域の半導体基板50表面にトレンチ58を形成した後、トレンチ58内に側壁が露出しているパッド酸化膜52を横方向にエッティングして、トレンチ58側壁をなす半導体基板50の傾斜した表面が素子形成領域の半導体基板50の水平な表面と交差する角形状のトレンチトップコーナー部Bを露出させ（図17参照）、続いて、トレンチ58内壁及びトレンチトップコーナー部Bの露出した半導体基板50表面を熱酸化して、この半導体基板50のトレンチトップコーナー部Bの角形状を丸めている（図18参照）。

【0017】これは、この半導体基板50のトレンチトップコーナー部Bが鋭い角形状をなしていると、後の工程において素子形成領域の半導体基板50表面に熱酸化によってゲート酸化膜を形成する際、このゲート酸化膜がトレンチトップコーナー部Bにおいて局所的に薄膜化して、MOSFETの特性や信頼性を劣化させる恐れがあるため、予め半導体基板50のトレンチトップコーナー部Bの角形状を丸めておき、ゲート酸化膜の局所的な薄膜化を緩和して、MOSFETの特性や信頼性の劣化を防止しようとするものである。

【0018】しかし、図17及び図18に示されるように、トレンチ58内に側壁が露出しているパッド酸化膜52がエッティングされて横方向にえぐられた窪みが形成されることから、基体全面に形成するCVD酸化膜66によってトレンチ58を埋め込む際に、半導体基板50のトレンチトップコーナー部B近傍のパッド酸化膜52が横方向にえぐられた窪みにも一般的に膜質の劣るCVD酸化膜66が充填されて（図19～図21参照）、この部分におけるエッティング耐性は弱体なものとなる。

【0019】このため、ライトエッティングによりパッド酸化膜52を除去する際に、このパッド酸化膜52よりもエッティング速度が大きいCVD酸化膜66の凸形状に突出している上部はその側面から大きくえぐられるようにエッティングされ、更にトレンチトップコーナー部B近傍のCVD酸化膜66及びシリコン酸化膜60もエッティング除去されることになり、このトレンチトップコーナー部Bの半導体基板50が露出してしまう（図22参照）。

【0020】また、素子形成領域の半導体基板50上にスルー酸化膜を形成し、イオン注入等を行った後、このスルー酸化膜をライトエッティングにより除去する際にも、素子分離領域のCVD酸化膜66はその凸形状に突

出している上部がその側面から大きくえぐられるようにエッティングされ、トレンチトップコーナー部Bの半導体基板50は益々大きく露出してしまう。

【0021】従って、素子形成領域の半導体基板50表面を熱酸化してゲート酸化膜68を形成する際に、半導体基板50のトレンチトップコーナー部Bにもゲート酸化膜68が形成される。そして、このとき、予め半導体基板50のトレンチトップコーナー部Bの角部は丸められてゲート酸化膜68の局所的な薄膜化を緩和する処置が取られているとはいっても、ゲート酸化膜68の局所的な薄膜化を完全に回避することはできず、MOSFETの特性や信頼性の劣化を招く恐れが生じる。

【0022】そこで本発明は、上記問題点を鑑みてなされたものであり、トレンチ絶縁型の半導体装置及びその製造方法において、凸形状に突出しているトレンチ充填絶縁物がその側面から大きくえぐられて半導体基板のトレンチトップコーナー部が露出することに起因する素子特性や信頼性の劣化を防止することができる半導体装置及びその製造方法を提供することを目的とする。

【0023】

【課題を解決するための手段】上記課題は、以下の本発明に係る半導体装置及びその製造方法によって達成される。即ち、請求項1に係る半導体装置は、半導体基板表面に形成されたトレンチ内に埋め込まれているトレンチ充填絶縁物によって素子領域が分離されている半導体装置であって、トレンチ充填絶縁物の上部が素子領域の半導体基板表面から凸形状に突出しており、この半導体基板表面から凸形状に突出しているトレンチ充填絶縁物の側壁が、トレンチ充填絶縁物よりもエッティング耐性の高いバリア絶縁膜によって被覆されていることを特徴とする。

【0024】このように請求項1に係る半導体装置においては、半導体基板表面から凸形状に突出しているトレンチ充填絶縁物の側壁がエッティング耐性の高いバリア絶縁膜によって被覆されていることにより、素子領域の半導体基板上に形成された薄膜をライトエッティングする際に同時にトレンチ充填絶縁物の側壁がエッティングされることをバリア絶縁膜によって抑制防止することが可能になるため、半導体基板のトレンチトップコーナー部が露出することが防止される。従って、例えば素子領域の半導体基板上にMOSFETのゲート酸化膜を形成する場合であっても、ゲート酸化膜の局所的な薄膜化を招くことなく、MOSFETの特性や信頼性の劣化が防止される。

【0025】なお、上記請求項1に係る半導体装置において、トレンチ充填絶縁物が第1の酸化膜からなり、バリア絶縁膜が第1の酸化膜より高密度の第2の酸化膜であることが好適である。この場合、トレンチ充填絶縁物及びバリア絶縁膜をなす第1及び第2の酸化膜は共に半導体装置の製造プロセスにおいて容易に形成可能な絶縁

膜であり、同種の絶縁膜であっても異なる膜質によりエッティング耐性に差が得られるため、バリア絶縁膜としての第2の酸化膜はトレンチ充填絶縁物としての第1の酸化膜のエッティングに対するバリア機能を発揮することが可能になる。

【0026】また、上記請求項1に係る半導体装置において、トレンチ充填絶縁物が酸化膜からなり、バリア絶縁膜が窒化膜であることも好適である。この場合も、トレンチ充填絶縁物及びバリア絶縁膜をなす酸化膜及び窒化膜は共に半導体装置の製造プロセスにおいて容易に形成可能な絶縁膜であり、異種の絶縁膜であることにより同類の絶縁膜の異なる膜質の場合よりも大きなエッティング耐性の差が得られるため、バリア絶縁膜としての窒化膜はトレンチ充填絶縁物としての酸化膜のエッティングに対するバリア機能をより有効に発揮することが可能になる。

【0027】また、請求項4に係る半導体装置の製造方法は、半導体基板表面に形成されたトレンチ内に埋め込まれているトレンチ充填絶縁物によって素子領域が分離されている半導体装置の製造方法であって、半導体基板上にパッド絶縁膜を介して絶縁膜を形成する第1の工程と、これらの絶縁膜及びパッド絶縁膜を選択的にエッティングして素子分離領域に開口部を形成した後、この開口部内に露出した半導体基板を選択的にエッティングしてトレンチを形成する第2の工程と、トレンチ内壁、パッド絶縁膜側壁、及び絶縁膜側壁に、トレンチ充填絶縁物よりもエッティング耐性の高いバリア絶縁膜を形成する第3の工程と、このバリア絶縁膜からなるトレンチ内にトレンチ充填絶縁物を埋め込む第4の工程と、絶縁膜及びパッド絶縁膜を順にエッティング除去して、トレンチ内に埋め込んだトレンチ充填絶縁物の上部を素子領域の半導体基板表面から凸形状に突出させると共に、半導体基板表面から凸形状に突出したトレンチ充填絶縁物の側壁にバリア絶縁膜を残存させる第5の工程と、を有することを特徴とする。

【0028】このように請求項4に係る半導体装置の製造方法においては、トレンチ内壁、パッド絶縁膜側壁、及び絶縁膜側壁に、トレンチ内に埋め込むトレンチ充填絶縁物よりもエッティング耐性の高いバリア絶縁膜を形成し、パッド絶縁膜をエッティング除去する際に、素子領域の半導体基板表面から凸形状に突出したトレンチ充填絶縁物の側壁にバリア絶縁膜を残存させることにより、パッド絶縁膜のエッティングの際に同時にトレンチ充填絶縁物の側壁がエッティングされることをバリア絶縁膜によって抑制防止することが可能になるため、半導体基板のトレンチトップコーナー部が露出することが防止される。従って、例えば素子領域の半導体基板上にMOSFETのゲート酸化膜を形成する場合であっても、ゲート酸化膜の局所的な薄膜化を招くことなく、MOSFETの特性や信頼性の劣化が防止される。

【0029】また、請求項5に係る半導体装置の製造方法は、上記請求項4に係る半導体装置の製造方法において、パッド絶縁膜として第1の酸化膜を用い、絶縁膜として窒化膜を用い、前記第3の工程及び前記第4の工程が、トレンチを含む基体全面にポリシリコン膜を形成し、このポリシリコン膜を熱酸化してバリア絶縁膜としての第2の酸化膜を第1の酸化膜よりも厚く形成し、トレンチを含む基体全面にトレンチ充填絶縁物としての第3の酸化膜を形成して第2の酸化膜からなるトレンチ内を埋め込み、窒化膜表面が露出するまで第3の酸化膜及び第2の酸化膜を研磨除去して第2の酸化膜からなるトレンチ内に第3の酸化膜を残存させる工程である構成とすることにより、トレンチ充填絶縁物として例えれば気相成長法により形成した第3の酸化膜を用い、この第3の酸化膜よりもエッティング耐性の高いポリシリコン膜を熱酸化して形成した第2の酸化膜をバリア絶縁膜として用い、この第2の酸化膜の膜厚をパッド絶縁膜としての第1の酸化膜の膜厚よりも厚くして、パッド絶縁膜の第1の酸化膜をエッティング除去する際に、素子領域の半導体基板表面から凸形状に突出したトレンチ充填絶縁物の側壁にバリア絶縁膜としての第2の酸化膜を容易に残存させることができになるため、パッド絶縁膜のエッティングの際に同時にトレンチ充填絶縁物がエッティングされることをバリア絶縁膜によって抑制防止することが可能になり、半導体基板のトレンチトップコーナー部が露出することが防止される。

【0030】また、請求項6に係る半導体装置の製造方法は、上記請求項4に係る半導体装置の製造方法において、パッド絶縁膜として第1の酸化膜を用い、絶縁膜として窒化膜を用い、前記第3の工程が、トレンチを含む基体全面にトレンチ充填絶縁物よりもエッティング耐性の高いバリア絶縁膜としての第2の酸化膜を第1の酸化膜よりも厚く形成する工程であり、前記第4の工程が、トレンチを含む基体全面にトレンチ充填絶縁物としての第3の酸化膜を形成して第2の酸化膜からなるトレンチ内を埋め込み、窒化膜表面が露出するまで第3の酸化膜及び第2の酸化膜を研磨除去して第2の酸化膜からなるトレンチ内に第3の酸化膜を残存させる工程である構成とすることにより、トレンチ充填絶縁物として例えれば気相成長法により形成した第3の酸化膜を用い、この第3の酸化膜よりもエッティング耐性の高い例えれば気相成長法とスペッタ法を組み合わせて形成した第2の酸化膜をバリア絶縁膜として用い、この第2の酸化膜の膜厚をパッド絶縁膜としての第1の酸化膜の膜厚よりも厚くして、パッド絶縁膜の第1の酸化膜をエッティング除去する際に、素子領域の半導体基板表面から凸形状に突出したトレンチ充填絶縁物の側壁にバリア絶縁膜としての第2の酸化膜を残存させることができになるため、パッド絶縁膜のエッティングの際に同時にトレンチ充填絶縁物がエッティングされることをバリア絶縁膜によって抑制防止すること

が可能になり、半導体基板のトレンチトップコーナー部が露出することが防止される。

【0031】また、請求項7に係る半導体装置の製造方法は、上記請求項4に係る半導体装置の製造方法において、パッド絶縁膜として第1の酸化膜を用い、絶縁膜としてポリシリコン膜を用い、前記第3の工程が、トレンチを含む基体全面にトレンチ充填絶縁物よりもエッチング耐性の高いバリア絶縁膜としての窒化膜を形成する工程であり、前記第4の工程が、トレンチを含む基体全面にトレンチ充填絶縁物としての第2の酸化膜を形成して窒化膜からなるトレンチ内を埋め込み、ポリシリコン膜表面が露出するまで第2の酸化膜及び窒化膜を研磨除去して窒化膜からなるトレンチ内に第2の酸化膜を残存させる工程である構成とすることにより、トレンチ充填絶縁物として第2の酸化膜を用い、この第2の酸化膜よりもエッチング耐性の高い窒化膜をバリア絶縁膜として用い、パッド絶縁膜としての第1の酸化膜をエッチング除去する際に、素子領域の半導体基板表面から凸形状に突出したトレンチ充填絶縁物の側壁にバリア絶縁膜としての窒化膜を容易に残存させることが可能になるため、パッド絶縁膜のエッチングの際に同時にトレンチ充填絶縁物がエッチングされることをバリア絶縁膜によって抑制防止することが容易に可能になり、半導体基板のトレンチトップコーナー部が露出することが防止される。

【0032】また、請求項8に係る半導体装置の製造方法は、上記請求項4に係る半導体装置の製造方法において、前記第2の工程の後、前記第3の工程の前に、トレンチ内に露出するパッド絶縁膜を横方向にエッチングして、半導体基板のトレンチトップコーナー部を露出した後、露出しているトレンチの内壁及びトレンチトップコーナー部の半導体基板表面を熱酸化して、酸化膜を形成する工程を有する構成とすることにより、予め半導体基板のトレンチトップコーナー部の角形状が丸められると共に、次の第3の工程において、パッド絶縁膜のエッチングによって横方向にえぐられた窪みにトレンチ充填絶縁物よりもエッチング耐性の高いバリア絶縁膜が形成され、このバリア絶縁膜によって半導体基板のトレンチトップコーナー部近傍が被覆されるため、エッチング耐性が強化されて、半導体基板のトレンチトップコーナー部が露出することが防止される。

### 【0033】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の実施の形態を説明する。図1は本発明の一実施形態に係るトレンチ絶縁分離型のMOSFETを示す断面図であり、図2～図13はそれぞれ図1のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図である。

【0034】図1に示されるように、例えば単結晶シリコン基板からなる半導体基板10の素子分離領域には、例えば深さ400nmのトレンチが形成されており、そ

の内壁はシリコン酸化膜20及びシリコン酸化膜24によって被覆されている。また、このトレンチ内にはトレンチ充填絶縁物としてのCVD酸化膜26が充填されている。

【0035】そして、このCVD酸化膜26の上部は、素子形成領域の半導体基板10表面から凸形状に突出していると共に、そのCVD酸化膜26の突出している上部の側壁は、CVD酸化膜26よりもエッチング耐性の高いバリア絶縁膜としてのシリコン酸化膜24によって被覆されている。こうして、素子分離領域に形成されたトレンチ内に充填されたCVD酸化膜26等により、素子形成領域のトレンチ絶縁分離がなされている。

【0036】また、このトレンチ絶縁分離された素子形成領域においては、半導体基板10表面層に相対して形成されたソース／ドレイン領域32と、これら一対のソース／ドレイン領域32に挟まれたチャネル領域34上にゲート酸化膜28を介して形成されたゲート電極30とから構成されるMOSFETが形成されている。こうして、トレンチ絶縁分離型のMOSFETが形成されている。

【0037】次に、図1のトレンチ絶縁分離型のMOSFETの製造方法を、図2～図13を用いて説明する。例えば単結晶シリコン基板からなる半導体基板10表面を熱酸化して、例えば厚さ20nm程度のパッド酸化膜12を形成する。更に、このパッド酸化膜12上に、例えば厚さ200nm程度のシリコン窒化膜14を被着形成する。こうして、パッド酸化膜12及びシリコン窒化膜14からなる積層膜を形成する（図2参照）。

【0038】次いで、シリコン窒化膜14上にレジスト層16を塗布した後、フォトリソグラフィ技術を用いてパターニングして、素子形成領域にレジスト層16を残存させる一方、素子分離領域に開口部を設ける。続いて、この素子形成領域を被覆するレジスト層16をエッチングマスクとして、異方性エッチング法、例えばRIE法により、シリコン窒化膜14及びパッド酸化膜12を連続して選択的にエッチング除去する。こうして、素子分離領域のシリコン窒化膜14及びパッド酸化膜12を貫通する開口部を形成し、この開口部内に半導体基板10表面を露出させる（図3参照）。

【0039】次いで、レジスト層16を除去した後、シリコン窒化膜14をマスクとして、開口部内に露出した素子分離領域の半導体基板10を選択的にエッチングして掘り込む。こうして、素子分離領域の半導体基板10表面に例えば深さ400nmのトレンチ18を形成する（図4参照）。

【0040】次いで、ウェットエッチング法により、半導体基板10とシリコン窒化膜14とに上下を挟まれ、トレンチ18内に側壁が露出しているパッド酸化膜12を横方向に例えば20nm程度エッチングする。こうして、パッド酸化膜12がトレンチ18側壁から横方向に

えぐられた窪みを形成し、半導体基板10のトレントップコーナー部Aを露出させる(図5参照)。

【0041】次いで、熱酸化処理を行い、外部に露出した半導体基板10表面、即ちトレントップコーナー部Aの半導体基板10表面を熱酸化し、シリコン酸化膜20を形成する。なお、このときの熱酸化処理は、例えばHCl(塩酸)を1%含むドライ酸化雰囲気中において温度1000°Cの加熱を行うものとする。こうして、半導体基板10のトレントップコーナー部Aの角形状を丸める(図6参照)。

【0042】次いで、CVD法により、トレントップ18を含む基体全面に例えば厚さ20nm程度のポリシリコン膜22を形成する(図7参照)。次いで、このポリシリコン膜22を熱酸化して、厚さ40nm程度のバリア絶縁膜としてのシリコン酸化膜24を形成する(図8参照)。

【0043】次いで、HDP(High Density Plasma)CVD法により、トレントップ18を含む基体全面に例えば厚さ600nm程度のトレントップ充填絶縁物としてのCVD酸化膜26を形成し、このCVD酸化膜26によってシリコン酸化膜24からなるトレントップ18を埋め込む(図9参照)。

【0044】次いで、CMP法により、CVD酸化膜26の表面からCVD酸化膜26及びシリコン酸化膜24を平坦に研磨除去して、シリコン窒化膜14表面を露出させる。即ち、このCMPにおいて、シリコン窒化膜14は、CVD酸化膜26及びシリコン酸化膜24よりもCMP選択比が高いため、これらCVD酸化膜26及びシリコン酸化膜24のCMPに対するストップとして機能する。こうして、シリコン酸化膜24からなるトレントップ18内のみにトレントップ充填絶縁物としてのCVD酸化膜26を残存させる(図10参照)。

【0045】次いで、ホットリリン酸液を用いるウェットエッティング法により、シリコン窒化膜14をエッティング除去する。こうして、素子形成領域の半導体基板10を被覆するパッド酸化膜12を露出させる。同時に、素子分離領域のトレントップ18内に充填されたトレントップ充填絶縁物としてのCVD酸化膜26の上部を、その側壁がバリア絶縁膜としてのシリコン酸化膜24によって被覆された状態において、パッド酸化膜12から凸形状に突出させる(図11参照)。

【0046】次いで、ライトエッティングによりパッド酸化膜12を除去して、下地の半導体基板10表面を露出させる。こうして、素子分離領域に形成されたトレントップ18内に充填されたCVD酸化膜26等による素子形成領域のトレントップ絶縁分離を完成させる。

【0047】なお、このパッド酸化膜12のライトエッティングの際に、トレントップ充填絶縁物としてのCVD酸化膜26側壁を被覆しているバリア絶縁膜としてのシリコン酸化膜24もパッド酸化膜12と同程度のエッティング

速度でエッティングされるが、シリコン酸化膜24の膜厚はパッド酸化膜12の膜厚よりも厚くなっているために、パッド酸化膜12がライトエッティングにより除去されて下地の半導体基板10表面が露出した段階においても、CVD酸化膜26側壁のシリコン酸化膜24は残存する。

【0048】こうして、パッド酸化膜12のエッティング除去の際に、シリコン酸化膜24がCVD酸化膜26側壁のエッティングに対するバリアとして機能するため、パッド酸化膜12よりもエッティング速度が大きいCVD酸化膜26のパッド酸化膜12から凸形状に突出している上部が、その側面から大きくえぐられるようにエッティングされることはない(図12参照)。

【0049】次いで、素子形成領域の半導体基板10上にスルーアルミニウム酸化膜(図示せず)を形成した後、イオン注入法により、半導体基板10に所定の不純物イオンを選択的に注入して、所定の導電型のウェル領域を形成する。その後、ライトエッティングによりスルーアルミニウム酸化膜を除去する。そして、このスルーアルミニウム酸化膜のライトエッティングの際にも、素子分離領域のCVD酸化膜26側壁に残存するシリコン酸化膜24がCVD酸化膜26側壁のエッティングに対するバリアとして機能するため、CVD酸化膜26の凸形状に突出している上部がその側面から大きくえぐられるようにエッティングされることはない。

【0050】次いで、素子形成領域の半導体基板10表面を熱酸化してゲート酸化膜28を形成する。また、CVD法により、このゲート酸化膜28上にポリシリコン層を形成した後、フォトリソグラフィ技術を用いて所定のゲート形状にパターニングして、ゲート電極30を形成する。続いて、イオン注入法により、ゲート電極30をマスクとして、素子形成領域の半導体基板10に所定の不純物イオンを選択的に注入して、所定の導電型のソース/ドレイン領域32を形成する。

【0051】こうして、素子分離領域のトレントップ18内に充填されたCVD酸化膜26等によってトレントップ絶縁分離された素子形成領域に、半導体基板10表面層に相対して形成された一対のソース/ドレイン領域32と、これら一対のソース/ドレイン領域32に挟まれたチャネル領域34上にゲート酸化膜28を介して形成されたゲート電極30とから構成されるMOSFETを形成する。

【0052】このように本実施形態によれば、単結晶シリコン基板からなる半導体基板10上に厚さ20nm程度のパッド酸化膜12及びシリコン窒化膜14を順に形成し、これらの積層膜の開口部内に露出した素子分離領域の半導体基板10を選択的にエッティングして深さ400nmのトレントップ18を形成し、トレントップ18内に側壁が露出しているパッド酸化膜12を横方向に20nm程度エッティングして、パッド酸化膜12がトレントップ18側壁からえぐられた窪みを形成すると共に半導体基板10

のトレンチトップコーナー部Aを露出させ、トレンチ18内壁及びトレンチトップコーナー部Aの露出した半導体基板10表面を熱酸化してシリコン酸化膜20を形成し、基体全面に形成した厚さ20nm程度のポリシリコン膜22を熱酸化して厚さ40nm程度のバリア絶縁膜としてのシリコン酸化膜24を形成し、HDP-CVD法により厚さ600nm程度のトレンチ充填絶縁物としてのCVD酸化膜26を形成してシリコン酸化膜24からなるトレンチ18を埋め込み、CMP法によりシリコン窒化膜14表面が露出するまでCVD酸化膜26及びシリコン酸化膜24を平坦に研磨除去してシリコン酸化膜24からなるトレンチ18内のみにCVD酸化膜26を残存させ、シリコン窒化膜14及びパッド酸化膜12をエッティング除去して、素子分離領域のトレンチ18内に充填されたトレンチ充填絶縁物としてのCVD酸化膜26の上部をその側壁がバリア絶縁膜としてのシリコン酸化膜24によって被覆された状態においてパッド酸化膜12から凸形状に突出させ、トレンチ絶縁分離を完成させている。

【0053】そして、パッド酸化膜12のライトエッティングの際に、このパッド酸化膜12よりも膜厚の厚いバリア絶縁膜としてのシリコン酸化膜24がトレンチ充填絶縁物としてのCVD酸化膜26側壁を被覆しているため、パッド酸化膜12よりもエッティング速度が大きいCVD酸化膜26の凸形状に突出している上部がその側面から大きくえぐられるようにエッティングされることを抑制防止することが可能になり、半導体基板10のトレンチトップコーナー部Aが露出することを防止することができる。素子形成領域の半導体基板10上に形成したスルー酸化膜をライトエッティングにより除去する場合も、同様である。

【0054】また、パッド酸化膜12の横方向に20nm程度エッティングして、パッド酸化膜12がトレンチ18側壁からえぐられた窪みを形成すると共に半導体基板10のトレンチトップコーナー部Aを露出させ、トレンチ18内壁及びトレンチトップコーナー部Aの露出した半導体基板10表面を熱酸化してシリコン酸化膜20を形成した後、基体全面に形成した厚さ20nm程度のポリシリコン膜22を熱酸化して厚さ40nm程度のバリア絶縁膜としてのシリコン酸化膜24を形成しているため、半導体基板10のトレンチトップコーナー部Aの角形状を丸めることができると共に、パッド酸化膜12の横方向にえぐられた窪みにエッティング耐性の高いバリア絶縁膜としてのシリコン酸化膜24が形成され、このシリコン酸化膜24によって半導体基板10のトレンチトップコーナー部A近傍が被覆されるため、エッティング耐性が強化されて、半導体基板10のトレンチトップコーナー部Aが露出することを防止することができる。

【0055】従って、素子形成領域の半導体基板10上にMOSFETのゲート酸化膜28を形成する場合であ

っても、ゲート酸化膜28の局所的な薄膜化を招くことなく、MOSFETの特性や信頼性の劣化を防止することができる。

【0056】なお、上記実施形態においては、パッド絶縁膜として厚さ20nm程度のパッド酸化膜12を、CMP法によりトレンチ充填絶縁物等を研磨除去する際のストップとして機能させる絶縁膜としてシリコン窒化膜14を、バリア絶縁膜として厚さ20nm程度のポリシリコン膜22を熱酸化して形成した厚さ40nm程度のシリコン酸化膜24を、トレンチ充填絶縁物としてのHDP-CVD法により形成した厚さ600nm程度のCVD酸化膜26をそれぞれ使用しているが、これらの絶縁膜に限定される必要はない。

【0057】例えばバリア絶縁膜として、スパッタ法とCVD法を組み合わせた成膜法によって形成され、パッド酸化膜12のライトエッティングに対してトレンチ充填絶縁物としてのCVD酸化膜26よりもエッティング耐性の高いシリコン酸化膜を用いてもよい。

【0058】また、CMP法によりトレンチ充填絶縁物等を研磨除去する際のストップとして機能させる絶縁膜として、例えばポリシリコン膜を用い、バリア絶縁膜として、パッド酸化膜12のライトエッティングに対してトレンチ充填絶縁物としてのCVD酸化膜26よりもエッティング耐性の高いシリコン窒化膜を用いてもよい。

【0059】

【発明の効果】以上、詳細に説明した通り、本発明に係る半導体装置及びその製造方法によれば次のような効果を奏することができる。即ち、請求項1に係る半導体装置の製造方法によれば、半導体基板表面から凸形状に突出しているトレンチ充填絶縁物の側壁がエッティング耐性の高いバリア絶縁膜によって被覆されていることにより、素子領域の半導体基板上に形成された薄膜をライトエッティングする際に同時にトレンチ充填絶縁物の側壁がエッティングされることをバリア絶縁膜によって抑制防止することが可能になるため、半導体基板のトレンチトップコーナー部が露出することを防止することができる。従って、例えば素子領域の半導体基板上にMOSFETのゲート酸化膜を形成する場合であっても、ゲート酸化膜の局所的な薄膜化を防止し、MOSFETの特性や信頼性の向上を実現することができる。

【0060】また、請求項4に係る半導体装置の製造方法によれば、トレンチ内壁、パッド絶縁膜側壁、及び絶縁膜側壁に、トレンチ内に埋め込むトレンチ充填絶縁物よりもエッティング耐性の高いバリア絶縁膜を形成し、パッド絶縁膜をエッティング除去する際に、素子領域の半導体基板表面から凸形状に突出したトレンチ充填絶縁物の側壁にバリア絶縁膜を残存させることにより、パッド絶縁膜のエッティングの際に同時にトレンチ充填絶縁物の側壁がエッティングされることをバリア絶縁膜によって抑制防止することが可能になるため、半導体基板のトレンチ

トップコーナー部が露出することを防止することができる。従って、例えば素子領域の半導体基板上にMOSFETのゲート酸化膜を形成する場合であっても、ゲート酸化膜の局所的な薄膜化を防止し、MOSFETの特性や信頼性の向上を実現することができる。

【0061】また、請求項5に係る半導体装置の製造方法によれば、上記請求項4に係る半導体装置の製造方法において、パッド絶縁膜として第1の酸化膜を用い、絶縁膜として窒化膜を用い、トレンチを含む基体全面に形成したポリシリコン膜を熱酸化してバリア絶縁膜としての第2の酸化膜を第1の酸化膜よりも厚く形成し、トレンチを含む基体全面にトレンチ充填絶縁物としての第3の酸化膜を形成して第2の酸化膜からなるトレンチ内を埋め込み、窒化膜表面が露出するまで第3の酸化膜及び第2の酸化膜を研磨除去して第2の酸化膜からなるトレンチ内に第3の酸化膜を残存させることにより、トレンチ充填絶縁物として例えば気相成長法により形成した第3の酸化膜を用い、この第3の酸化膜よりもエッティング耐性の高いポリシリコン膜を熱酸化して形成した第2の酸化膜をバリア絶縁膜として用い、この第2の酸化膜の膜厚をパッド絶縁膜としての第1の酸化膜の膜厚よりも厚くして、パッド絶縁膜の第1の酸化膜をエッティング除去する際に、素子領域の半導体基板表面から凸形状に突出したトレンチ充填絶縁物の側壁にバリア絶縁膜としての第2の酸化膜を容易に残存させることができるために、パッド絶縁膜のエッティングの際に同時にトレンチ充填絶縁物がエッティングされることをバリア絶縁膜によって抑制防止することが可能になり、半導体基板のトレンチトップコーナー部が露出することを防止することができる。従って、半導体装置の特性や信頼性の向上に寄与することができる。

【0062】また、請求項6に係る半導体装置の製造方法によれば、上記請求項4に係る半導体装置の製造方法において、パッド絶縁膜として第1の酸化膜を用い、絶縁膜として窒化膜を用い、トレンチを含む基体全面に第1の酸化膜のライトエッティングに対してトレンチ充填絶縁物よりもエッティング耐性の高いバリア絶縁膜としての第2の酸化膜を第1の酸化膜よりも厚く形成し、トレンチを含む基体全面に気相成長法を用いてトレンチ充填絶縁物としての第3の酸化膜を形成して第2の酸化膜からなるトレンチ内を埋め込み、窒化膜表面が露出するまで第3の酸化膜及び第2の酸化膜を研磨除去して第2の酸化膜からなるトレンチ内に第3の酸化膜を残存させることにより、トレンチ充填絶縁物として例え気相成長法により形成した第3の酸化膜を用い、この第3の酸化膜よりもエッティング耐性の高い例えば気相成長法とスパッタ法を組み合わせて形成した第2の酸化膜をバリア絶縁膜として用い、この第2の酸化膜の膜厚をパッド絶縁膜としての第1の酸化膜の膜厚よりも厚くして、パッド絶縁膜の第1の酸化膜をエッティング除去する際に、素子領域

の半導体基板表面から凸形状に突出したトレンチ充填絶縁物の側壁にバリア絶縁膜としての第2の酸化膜を残存させることができ可能になるため、パッド絶縁膜のエッティングの際に同時にトレンチ充填絶縁物がエッティングされることをバリア絶縁膜によって抑制防止することが可能になり、半導体基板のトレンチトップコーナー部が露出することを防止することができる。従って、半導体装置の特性や信頼性の向上に寄与することができる。

【0063】また、請求項7に係る半導体装置の製造方法によれば、上記請求項4に係る半導体装置の製造方法において、パッド絶縁膜として第1の酸化膜を用い、絶縁膜としてポリシリコン膜を用い、トレンチを含む基体全面にトレンチ充填絶縁物よりもエッティング耐性の高いバリア絶縁膜としての窒化膜を形成し、トレンチを含む基体全面にトレンチ充填絶縁物としての第2の酸化膜を形成して窒化膜からなるトレンチ内を埋め込み、ポリシリコン膜表面が露出するまで第2の酸化膜及び窒化膜を研磨除去して窒化膜からなるトレンチ内に第2の酸化膜を残存させることにより、トレンチ充填絶縁物として第2の酸化膜を用い、この第2の酸化膜よりもエッティング耐性の高い窒化膜をバリア絶縁膜として用い、パッド絶縁膜としての第1の酸化膜をエッティング除去する際に、素子領域の半導体基板表面から凸形状に突出したトレンチ充填絶縁物の側壁にバリア絶縁膜としての窒化膜を容易に残存させることができ可能になるため、パッド絶縁膜のエッティングの際に同時にトレンチ充填絶縁物がエッティングされることをバリア絶縁膜によって抑制防止することが容易に可能になり、半導体基板のトレンチトップコーナー部が露出することを防止することができる。従って、上記請求項4に係る半導体装置の製造方法の場合と同様に、半導体装置の特性や信頼性の向上に寄与することができる。

【0064】また、請求項8に係る半導体装置の製造方法によれば、上記請求項4に係る半導体装置の製造方法において、トレンチ内に側壁が露出するパッド絶縁膜を横方向にエッティングして、半導体基板のトレンチトップコーナー部を露出した後、露出しているトレンチの内壁及びトレンチトップコーナー部の半導体基板表面を熱酸化して、酸化膜を形成する工程を有することにより、予め半導体基板のトレンチトップコーナー部の角形状が丸められると共に、次の工程において、パッド絶縁膜のエッティングによって横方向にえぐられた窪みにパッド絶縁膜のライトエッティングに対してトレンチ充填絶縁物よりもエッティング耐性の高いバリア絶縁膜が形成され、このバリア絶縁膜によって半導体基板のトレンチトップコーナー部近傍が被覆されるため、エッティング耐性が強化されて、半導体基板のトレンチトップコーナー部が露出することを防止することができる。従って、半導体装置の特性や信頼性の向上に寄与することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るトレンチ絶縁分離型のMOSFETを示す断面図である。

【図2】図1のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その1）である。

【図3】図1のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その2）である。

【図4】図1のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その3）である。

【図5】図1のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その4）である。

【図6】図1のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その5）である。

【図7】図1のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その6）である。

【図8】図1のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その7）である。

【図9】図1のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その8）である。

【図10】図1のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その9）である。

【図11】図1のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その10）である。

【図12】図1のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その11）である。

【図13】図1のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その12）である。

【図14】従来のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その1）である。

【図15】従来のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その2）である。

【図16】従来のトレンチ絶縁分離型のMOSFETの

製造方法を説明するための工程断面図（その3）である。

【図17】従来のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その4）である。

【図18】従来のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その5）である。

【図19】従来のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その6）である。

【図20】従来のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その7）である。

【図21】従来のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その8）である。

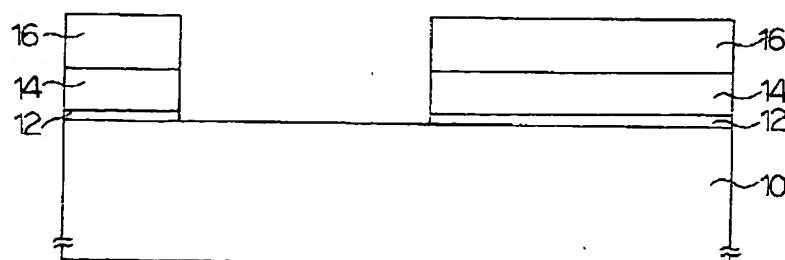
【図22】従来のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その9）である。

【図23】従来のトレンチ絶縁分離型のMOSFETの製造方法を説明するための工程断面図（その10）である。

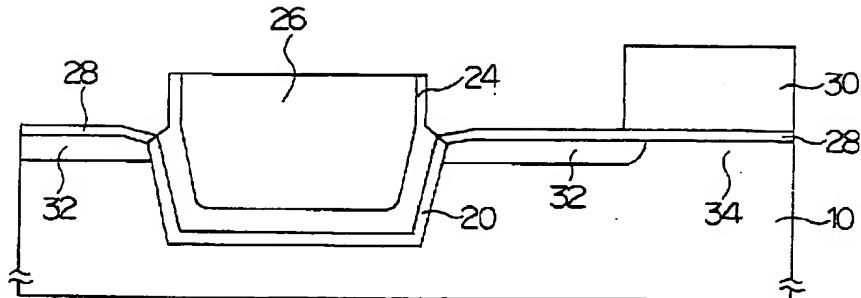
#### 【符号の説明】

10……半導体基板、12……パッド酸化膜、14……シリコン窒化膜、16……レジスト層、18……トレンチ、20……シリコン酸化膜、22……ポリシリコン膜、24……シリコン酸化膜、26……CVD酸化膜、28……ゲート酸化膜、A……トレンチトップコーナー部、30……ゲート電極、32……ソース／ドレイン領域、34……チャネル領域、50……半導体基板、52……パッド酸化膜、54……シリコン窒化膜、56……レジスト層、58……トレンチ、60……シリコン酸化膜、66……CVD酸化膜、68……ゲート酸化膜、70……ゲート電極、72……ソース／ドレイン領域、74……チャネル領域、B……トレンチトップコーナー部

【図3】

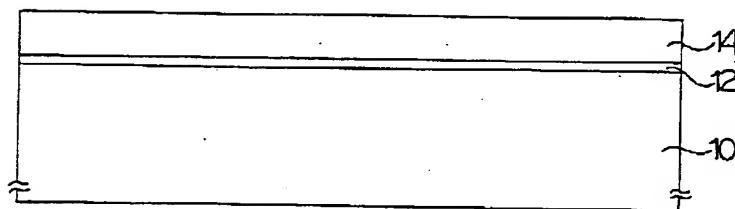


【図1】

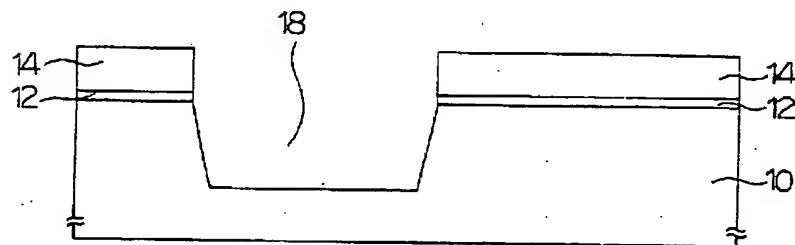


- 10・・・半導体基板
- 20・・・シリコン酸化膜
- 24・・・バリア絶縁膜としてのシリコン酸化膜
- 26・・・トレンチ充填絶縁物としてのCVD酸化膜
- 28・・・ゲート絶縁膜
- 30・・・ゲート電極
- 32・・・ソース/ドレイン領域
- 34・・・チャネル領域

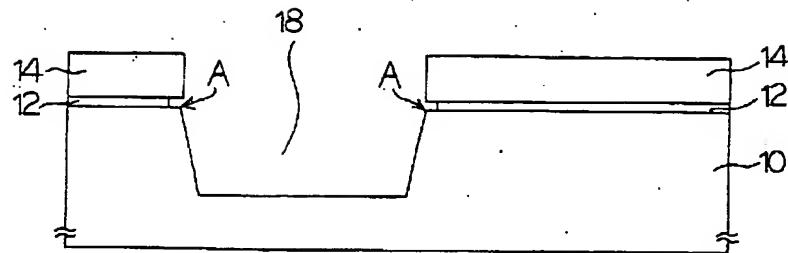
【図2】



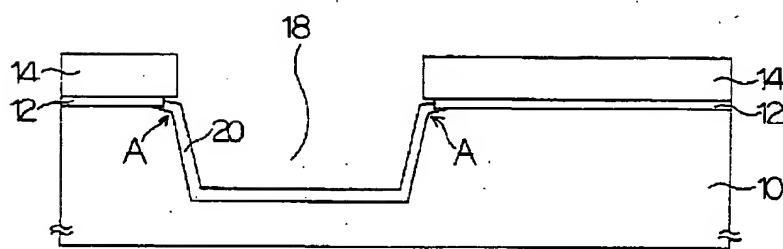
【図4】



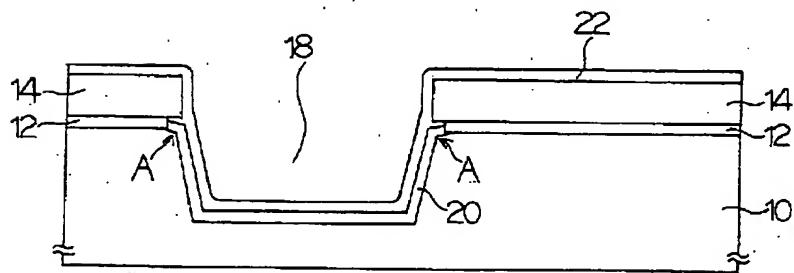
【図5】



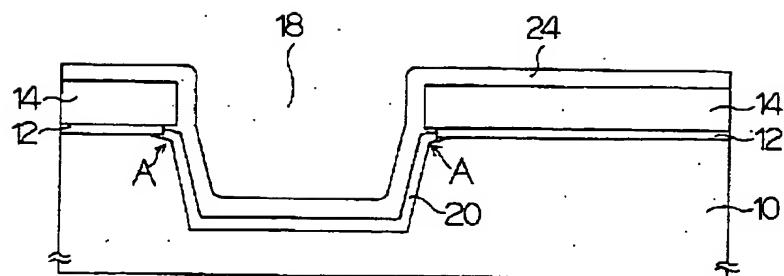
【図6】



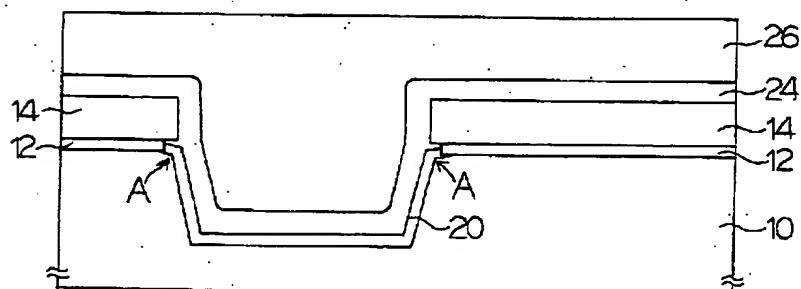
【図7】



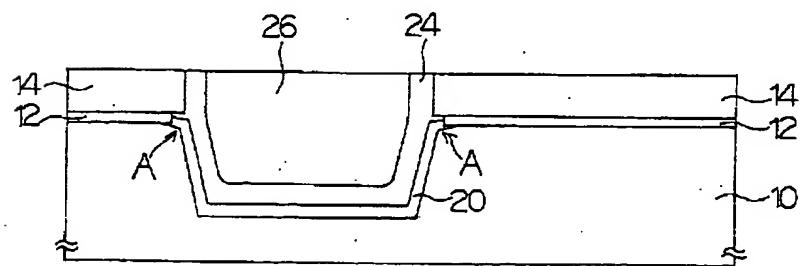
【図8】



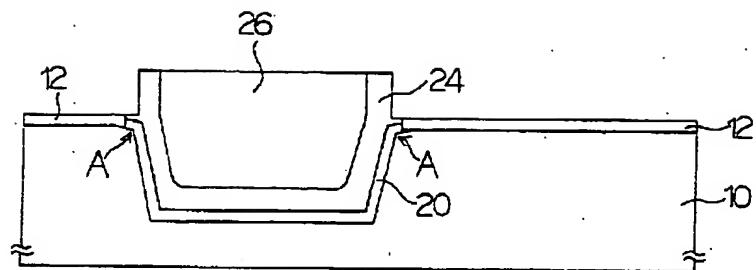
【図9】



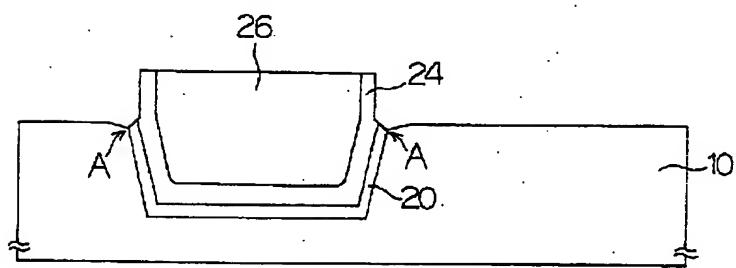
【図10】



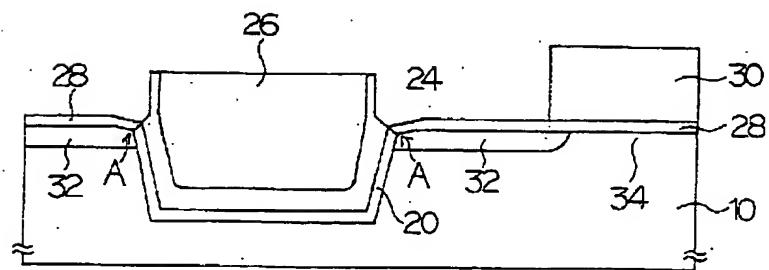
【図1 1】



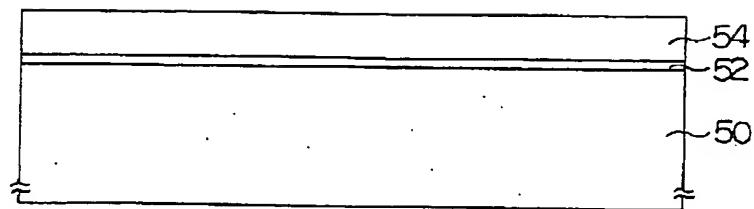
【図1 2】



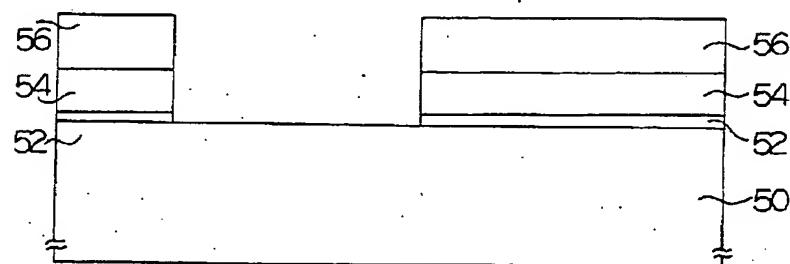
【図1 3】



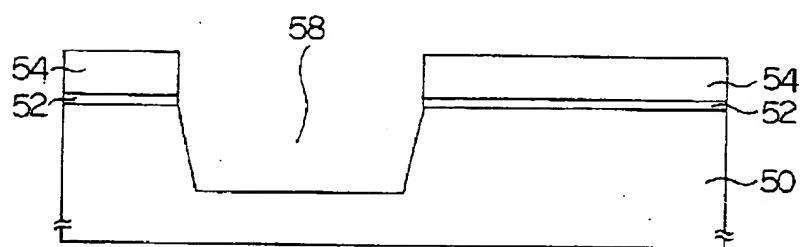
【図14】



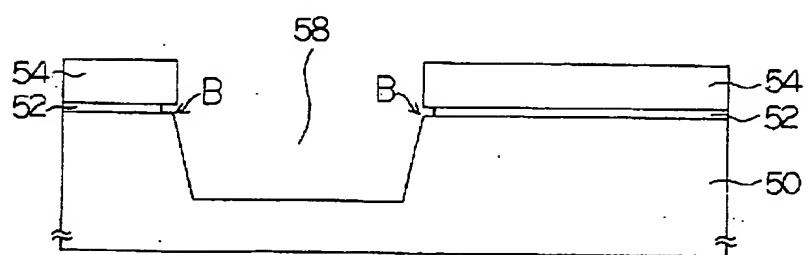
【図15】



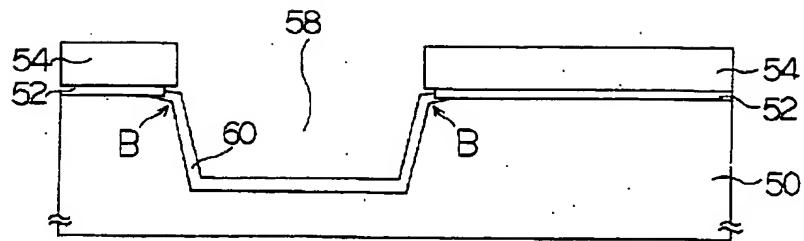
【図16】



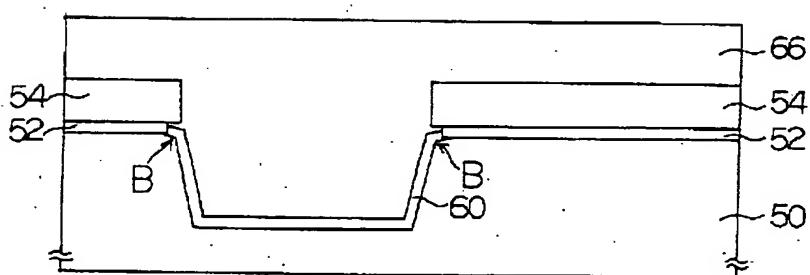
【図17】



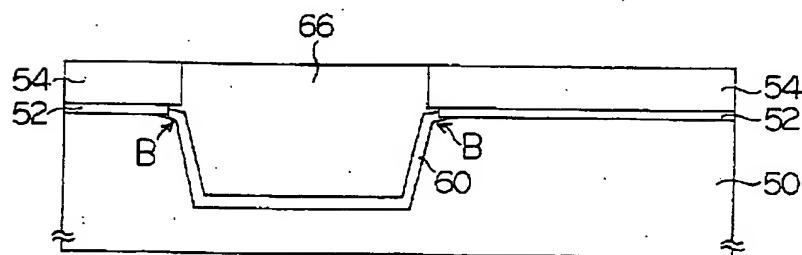
【図18】



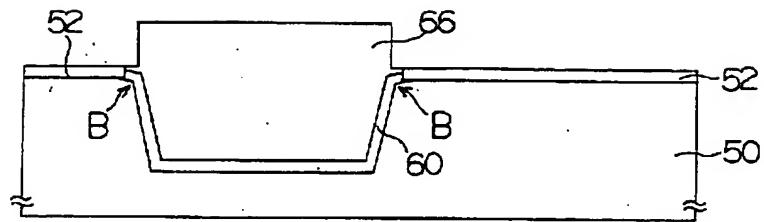
【図19】



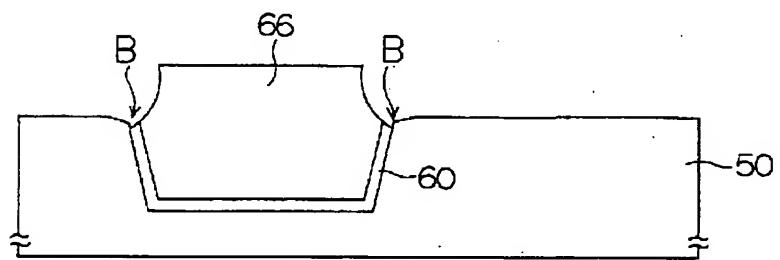
【図20】



【図21】



【図22】



【図23】

